

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 56-088364

(43)Date of publication of application : 17.07.1981

(51)Int.Cl.

H01L 29/78

H01L 29/60

(21)Application number : 54-166115

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 20.12.1979

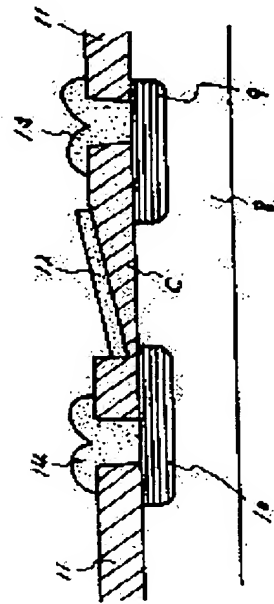
(72)Inventor : KODAIRA TOSHIMOTO

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To obtain a punch through transistor having high responding speed in high yield while simplifying the film formation by continuously increasing the thickness of the gate insulating film forming an IGFET from the vicinity of source region to the vicinity of drain region.

CONSTITUTION: Drain and source regions 9 and 10 having different conductivity type from a semiconductor substrate 8 are diffused at an interval less than 3m in the substrate 8, and a gate insulating film (c) is covered on a channel region disposed therebetween over the edges of the regions 9 and 10, thereby forming an IGFET. In this configuration the thickness of the film (c) is gradually increased continuously from the vicinity of the region 10 to the vicinity of the region 9. This can be formed by first covering a uniformly thick insulating film 11 on the entire surface containing the regions 10 and 9, etching them in tapered shape. Thereafter, a gate electrode 12 is covered on the film (c), a window is opened at the film 11, and the drain and source electrodes 13 and 14 are respectively mounted on the regions 9 and 10.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑬ 日本国特許庁 (JP)
⑭ 公開特許公報 (A)

⑮ 特許出願公開
昭56—88364

⑯ Int. Cl.³
H 01 L 29/78
29/60

識別記号

庁内整理番号
6603—5F
7638—5F

⑰ 公開 昭和56年(1981)7月17日

発明の数 1
審査請求 未請求

(全 3 頁)

⑱ 半導体装置

⑲ 特 願 昭54—166115
⑳ 出 願 昭54(1979)12月20日
㉑ 発 明 者 小平寿源
諏訪市大和3丁目3番5号株式

会社諏訪精工舎内
㉒ 出 願 人 株式会社諏訪精工舎
東京都中央区銀座4丁目3番4
号
㉓ 代 理 人 弁理士 最上務

明 細 書

発明の名称

半導体装置

特許請求の範囲

(1) 第1の電気導伝型を示す半導体基板の主平面内に互いに隔てて、第2の電気導伝型を示す1対の領域を作り、該1対の領域間の前記半導体基板表面上に絶縁膜を介して導伝性電極を設ける事により構成された半導体装置において、前記絶縁膜の膜厚が、前記1対の領域間で一方の該領域から他方の該領域へ移るにつれ連続して変わっている事を特徴とする半導体装置。

(2) 前記1対の領域間の間隔は3ミクロンメートル以下である事を特徴とする特許請求の範囲第1項記載の半導体装置。

(3) 前記絶縁膜を介して設けられた前記導伝性電極へ電圧を印加する事により前記1対の領域間のパンチスルー電流を制御する事を特徴とする特許

(1)

請求の範囲第2項記載の半導体装置。

発明の詳細な説明

本発明は半導体装置、特に絶縁ゲート型電界効果トランジスターの構成方法に関するものである。

MOS型のトランジスターを用いた半導体集積回路はそのトランジスターの構造及び製造方法の簡単さにより、バイポーラトランジスターを用いたものに比較して、特に近年その進歩が著しい。

近年のIC製造技術の進歩によりパターン微細化が進むとともに、MOSトランジスターの構成がきわめて単純であるので、最近特に用途の強い、半導体装置の高集積性が極めて良いからである。又、従来バイポーラトランジスターに比べて、MOSトランジスターは信号の応答速度が遅いという懸念があったが、これも近年のパターンの微細化技術によってトランジスターのいわゆるゲート長が短く出来て、バイポーラ型に近い応答速度が得られる様になっており、一層MOSラン

(2)

ジスターを用いた半導体装置への期待が高まっている。

しかるに前述の様にパターン微細化が進みMOS型トランジスターのゲート長がおよそ3ミクロンメートル以下になると、いわゆる短チャンネル効果と称している現象が生じトランジスターの特性上不都合が生じる。つまりトランジスターの閾値電圧が低下するとともにチャンネル長に強く依存する様になり、この為この閾値電圧の制御が極めて困難となる。さらに又パンチスルー電流が比較的低い動作電圧で流れ、しかもこれは通常ゲート電圧により制御出来ないものである。この様な不都合な現象を押えるべく現在研究が行なわれておりその一つが構造のスケーリング則により、閾値電圧の低下を防ぎ、パンチスルー電流を押える努力であり、他の一つは、パンチスルー電流を積極的にトランジスターの動作に用いて、これをゲート電極により制御可能にしようとする努力である。

後者については従来1つの提案がなされている。

(a)

しかるに上述における様にこの場合のゲート絶縁膜はその厚みがドレイン近傍とソース近傍とで異なっており、しかもその不連続な位置は必ずトランジスターのチャンネル領域内でなくてはならない。よってゲート酸化膜の形成に、2工程が必要であり、さらに又、ゲート絶縁膜厚の不連続となる位置をチャンネル領域内にする事は、特にパンチスルートランジスターにあつては、このチャンネル長が3ミクロンメートル以下と非常に短い為、極めて難しい工程であるといわざるを得ない。さらに又チャンネル長が2ミクロンメートル又は1ミクロンメートルとした場合、ゲート絶縁膜の膜厚の不連続な位置をチャンネル領域内にする事は事実上不可能な事である。

本発明はかかる欠点を取り除く事によりパンチスルートランジスターの製造を容易ならしめるものであり、その目的とする事は、今後パターンの微細化がさらに進んだ場合においても特性の良いパンチスルートランジスターを多量に良く製造出来る工程を提供する事にあり、さらには、現在の

(a)

第1図はその方法によるトランジスターの構成の1例を示したものである。第1の導電型を示す半導体基板1の主表面内に互いに隔たった1対の第2の導電型の領域2及び3を形成する。ここで2はドレイン、3はソースである。次にゲート絶縁膜を形成するわけであるがこの例の場合この絶縁膜の膜厚をドレイン側とソース側とで異なっており、ドレイン側のゲート絶縁膜4は比較的厚く例えば5000~10000オングストローム程度とする、又ソース側は薄く例えば200~500オングストロームとする。この二つの膜厚はチャンネル領域で不連続に変わっている。4は半導体表面の保護膜である。最後にゲート電極5及びドレイン、ソース電極6、7を形成してトランジスターの製造工程を終る。この様にドレイン近傍でのゲート絶縁膜の膜厚を厚くする事により短チャンネルMOS型トランジスターのパンチスルー電流が流れる領域を基板半導体表面に近づけ、ゲート絶縁膜厚の比較的薄いソース近傍においてこのパンチスルー電流を制御しようとするものである。

(b)

MOSトランジスターより特性の良いパンチスルートランジスターの発展に寄与しようとする事にある。以下本発明を図により詳細に説明する。

第2図は本発明を実施したパンチスルートランジスターの1例を示した断面図である。すなわち半導体基板8の主表面上に、これと電気導電型の異なる、互いに隔たった1対の領域9及び10を形成する。第2図の場合、9はドレイン領域であり、10はソース領域であつてこの2つの領域間の距離はおおむね3ミクロンメートル以下である。次にドレイン-ソース間のチャンネル領域の半導体基板表面上にゲート絶縁膜11を形成するわけであるが、本発明においてはこの絶縁膜11の膜厚は、ドレイン近傍から、ソース近傍にかけて一様に連続的に変化しており、しかもドレイン近傍の絶縁膜の膜厚はソース近傍の絶縁膜の膜厚より厚いものである。この様にソース近傍からドレインに近づくにつれて一様に厚くなる様にゲート絶縁膜を形成する方法の1例として、まず、半導体基板の主表面全面にわたって均一な絶縁膜を形成し

(c)

た後、いわゆるテーバーエッチングの技術を用い、ソース領域の少なくとも一部、又は全部の領域上の絶縁膜外の絶縁膜上にレジストを形成した後ソース領域側よりこの絶縁膜にエッチングを施し、ドレイン近傍までテーバーエッチを行なう。これにより第2図のcに示すごとく、ソース領域からドレイン領域にかけて一様に膜厚の増加する絶縁膜を形成する事が可能であり、しかも、テーバーエッチングに際して用いるレジストマスクの基板パターンとの合は、その誤差のテーバー角の正弦倍が、ゲート絶縁膜の膜厚誤差となるので、前配合せ精度は大巾に余裕が見込める。又ゲート絶縁膜のテーバーの角度については、第2図における様に、チャンネル領域のいたる所で一定となる必要はなく、例えば第3図の様に半導体基板15の主表面上に形成されたソース17の近傍よりドレイン16に近くなるにつれゲート絶縁膜18のテーバーの角度が増加する様にしても本発明の意図する所は変わらず、実際のテーバーエッチングもこの様な形状になり易く、又特にチャンネル長

(7)

が1~2マイクロメートル又はそれ以下となる場合にはこの方がより効果的である。以上の様にゲート絶縁膜を形成した後、半導体基板表面の保護膜11、ゲート電極12、及びドレイン電極13、ソース電極14を形成して、本発明による、パンチスルートルンジスターの製造を終える。

以上の様に本発明によれば、トランジスターのゲート絶縁膜の膜厚をソース近傍よりドレイン近傍にかけて連続的に厚く形成する事により、ゲート絶縁膜形成工程を簡略化し、しかもパターンの合せも余裕の有るパンチスルートルンジスターが製造出来る。これにより現存のMOSトランジスターを単に微細化しただけのいわゆるパンチスルーの無いトランジスターに比べ特にその応答速度の速いパンチスルートルンジスターを、均一な特性で、歩留り良く製造出来、集積回路の一段の進歩に大きく貢献出来るものと期待する。

尚、上述した本発明によるトランジスターの製造工程は、その簡単な例を示したにすぎず、ゲート絶縁膜の膜厚が、ソースからドレインにかけて

(8)

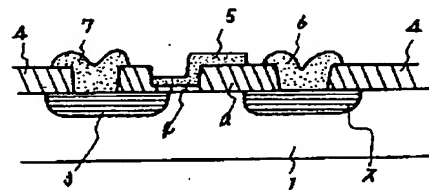
連続的に厚くなっているという本発明の主旨を逸脱しないものであれば他の製造工程も有効である事は言うまでもない。

図面の簡単な説明

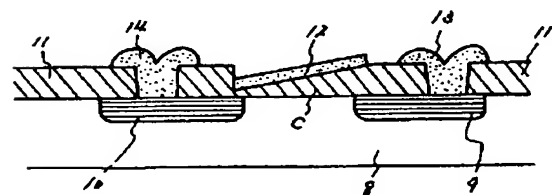
第1図は従来におけるパンチスルートルンジスターの1例を示す断面図である。第2図は本発明によるパンチスルートルンジスターの1例を示す断面図であり、第3図は本発明によるパンチスルートルンジスターの他の実施例を、そのゲート絶縁膜の形状を主として示した断面図である。

- 1, 8, 15…半導体基板
- 2, 9, 16…ドレイン
- 3, 10, 17…ソース
- a, b, c, 18…ゲート絶縁膜
- 5, 12…ゲート電極
- 4, 11…保護膜
- 6, 13…ドレイン電極
- 7, 14…ソース電極

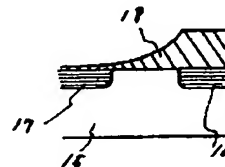
(6)



第1図



第2図



第3図